МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«Київський політехнічний інститут»

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

Кафедра СКС

Лабораторна робота №5

з дисципліни

Комп’ютерна електроніка

на тему:

**«ОРГАНІЗАЦІЯ НА ОСНОВІ БАЗОВОЇ СХЕМИ ттЛ ЛОГІЧНИХ СХЕМ І-АБО, І-АБО-НЕ»**

**Виконав : Перевірив:**

студент групи КВ-64 \_\_\_\_\_\_\_ Т.Г. Сапсай Подольський Сергій Валентинович \_\_\_\_\_\_\_\_\_\_\_\_\_(бали)

залікова книжка № КВ6415

#### V семестр

Київ-2008

# **Мета роботи:** побудова і дослідження схем І-АБО, І-АБО-НЕ на основі базової схеми ТТЛ.

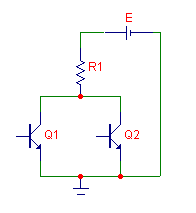
**1. Теоретичні відомості:**

* 1. **Транзисторні схеми зі спільним навантаженням.**

Для реалізації логічних функцій використовуються транзисторні схеми зі спільним навантаженням. Розглянемо чотири базові схеми і логічні функції, що ними реалізуються.

Примітка: усі логічні функції розглянуті для випадку позитивної логіки.

1) Паралельне сполучення транзисторів зі спільним колекторним навантаженням.



UВИХ

Y

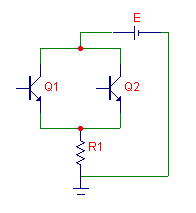
X1

X2

Для того, щоб на виході цієї схеми був високий рівень, необхідно, щоб транзистори Q1 і Q2 були закриті. Транзистор закритий, якщо на його базу не надходить струм, тобто при подачі на вхід низького рівня. При цьому на виході буде високий рівень. У такий спосіб на виході схеми реалізується функція АБО-НЕ:



2) Паралельне сполучення транзисторів зі спільним емітерним навантаженням.



UВИХ

Y

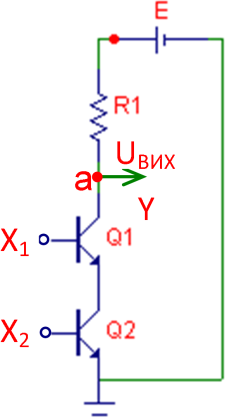
X1

X2

У цьому випадку щоб отримати на виході високий рівень, необхідно, щоб хоча б один із транзисторів Q1 чи Q2 був відкритий, тобто на базу хоча б одного з них надходив струм, відповідно хоча б на один із входів треба подати високий рівень. На виході схеми реалізується функція АБО:

Y = X1 ∪ X2

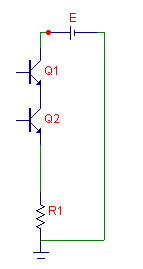
3) Послідовне з'єднання транзисторів зі спільним колекторним навантаженням.



Для того, щоб на виході схеми був високий рівень, необхідно, щоб ланцюг між точкою **a** і землею був розірваним. Дана умова забезпечується, якщо хоча б один із транзисторів Q1 чи Q2 закритий, тобто якщо хоча б один із вхідних сигналів X1 чи X2 має низький рівень. На виході схеми реалізується функція І-НЕ:



4) Послідовне з'єднання транзисторів зі спільним емітерним навантаженням.



а

UВИХ

Y

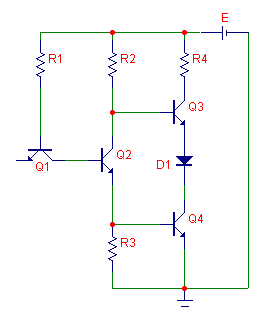
X1

X2

Для того, щоб на виході був високий рівень, необхідно, щоб обидва транзистори Q1 і Q2 були відкриті. Якщо хоча б один з них закритий, ланцюг між джерелом живлення та точкою **a** розірвано, на виході встановлюється низький рівень. Високий рівень на виході схеми встановлюється тільки якщо обидва вхідні сигнали X1 і X2 мають високі рівні. Схема реалізує функцію І:



**1.2 Реалізація логічних функцій на основі базової схеми ТТЛ.**



UВИХ

Y

X1

X2

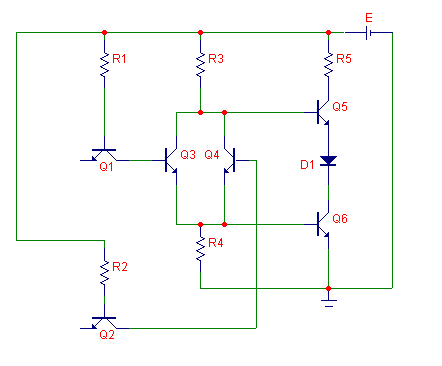
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| група | I | II | III | IV |
| R1, кОм | 4 | 2.8 | 4 | 40 |
| R2, кОм | 1.4 | 0.7 | 1.6 | 20 |
| R3, кОм | 1 | 0.47 | 1 | 12 |
| R4, кОм | 0.13 | 0.058 | 0.13 | 0.51 |

Схема містить три основних каскади:

1. вхідний каскад, представлений багатоемітерним транзистором Q1, що реалізує логічну функцію І;
2. фазорозділювальний каскад, виконаний на транзисторі Q2 і резисторах R2 та R3;
3. двотактний вихідний каскад, реалізований на транзисторах Q3 і Q4 із введенням діода зсуву D1; цей каскад введений для підвищення навантажувальної здатності схеми.

Разом фазорозділювальний і вихідний каскади утворюють складний інвертор, що реалізує логічну операцію НЕ. У такий спосіб базова схема ТТЛ реалізує функцію І-НЕ.

Схема, що реалізує операцію І-АБО-НЕ:



UВИХ

Y

X1

X2

X3

X4

Y1

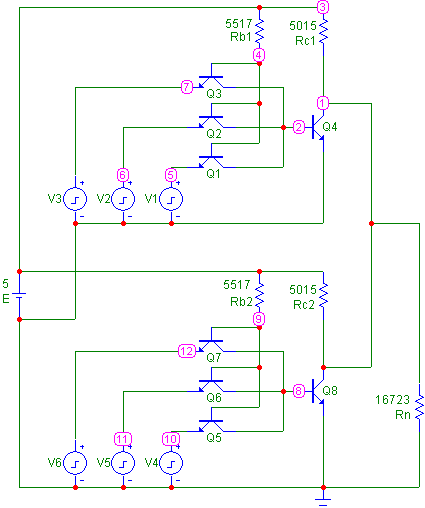
Y2

Y3

Від базової схеми ТТЛ вона відрізняється тим, що фазорозділювальний каскад замість одного транзистора містить два транзистори Q3 і Q4, керованих двома різними багатоемітерними транзисторами Q1 і Q2. Паралельне включення транзисторів фазорозділювального каскаду дозволяє реалізувати функцію АБО-НЕ. Вся схема реалізує операцію І-АБО-НЕ:



1. **Вихідні дані:**
2. E = 5 [В]
3. U0ВХ = 0,153 [B]
4. U1ВХ = 4,31 [B]
5. U0ВИХ = 0,048 [В]
6. U1ВИХ = 4,348 [В]
7. βІНВ = 1
8. UБЕ ≈ 0,544 [B] для транзисторів вхідного каскаду
9. UБЕ ≈ 0,587 [B] для транзисторів вихідного каскаду
10. I0ВХmax = 0,0013 [А]
    1. **Малюнок схеми з номерами вузлів:**

****

* 1. **Порядок розрахунку:**

Розглянемо випадок, коли тільки на один з входів одного блоку 3І подається низький рівень UВХ = U0ВХ, наприклад, коли транзистор Q1 знаходиться в прямому включенні, тоді напруга на базі Q1:

UБ(Q1) = U0ВХ + UБЕ(Q1) = 0,153 + 0,544 = 0,697 [В]

Через емітер в такому випадку проходить максимальний струм I0ВХmax, який дорівню сумі стрьох струмів, які подаються на бази трьох транзисторів, а також двох струмів, які подаються на емітери двох інших транзисторів Q2, Q3. Оскільки βІНВ = 1, то останні два струми дорівнюють базовим:

I0ВХmax = IБ(Q1) + IК(Q1) = IБ(Q1) + IК(Q2) + IК(Q3) = IБ(Q1) + IБ(Q2) + IЕ(Q2) + IБ(Q3) + IЕ(Q3) = 5 \* IБ

У той же час через резистор RБ протікає струм, рівний сумі трьох базових струмів транзисторів:

IRб = 3 \* IБ

Тоді

IRб = I0ВХmax = 3 / 5 \* 0,0013 = 0,00078 [А]

Знайдемо опір RБ:

RБ = (E – UБ(Q1)) / IRб = (5 – 0,697) / 0,00078 = 5517 [Ом]

Струм, що подається на базу кожного транзистора на вході, в такому випадку дорівнює:

IБ = IRб / 3 = 0,00078 / 3 = 0,00026 [А]

Щоб значення високого рівня на виході було при послідовному з’єднанні декількох схем не менше, ніж задане за умовою, необхідно, щоб вихідний струм не перевищував деяке максимально допустиме значення, оскільки в противному випадку буде більше падіння напруги на RК і буде менший рівень вихідної одиниці. Максимальний струм на виході першої схеми буде тоді, коли хоча б на один з інших двох входів другої схеми, що залишилися, подається низький рівень. Отже приймаємо струм, що протікає через резистор навантаження, рівний IБ.

RН = URн / IRн = U1ВИХ / IБ = 4,348 / 0,00026 = 16723 [Ом]

Струм, що протікає через кожен з резисторів RКі, у разі, якщо дані резистори мають однакові номінали, дорівнює половині вихідного струму одиниці, тобто I1ВИХ / 2. Тоді

RК = URк / IRк = (Е – U1ВИХ) / (I1ВИХ / 2) = (Е – U1ВИХ) / (IБ / 2) = 5015 [Ом]

* 1. **Підсумкова таблиця:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | x3 | x4 | x5 | x6 | Y1 | Y2 | Y3 |
| H | H | L | H | H | L | L | L | H |
| H | H | H | H | H | L | H | L | L |
| H | H | H | H | H | H | H | H | L |
| L | L | L | L | L | L | L | L | H |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | x3 | x4 | x5 | x6 | Y1 | Y2 | Y3 |
| 4,31 | 4,31 | 0,153 | 4,31 | 4,31 | 0,153 | 0,2 | 0,2 | 4,349 |
| 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 0,153 | 0,56 | 0,2 | 0,032 |
| 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 4,31 | 0,554 | 0,554 | 0,026 |
| 0,153 | 0,153 | 0,153 | 0,153 | 0,153 | 0,153 | 0,171 | 0,171 | 4,348 |

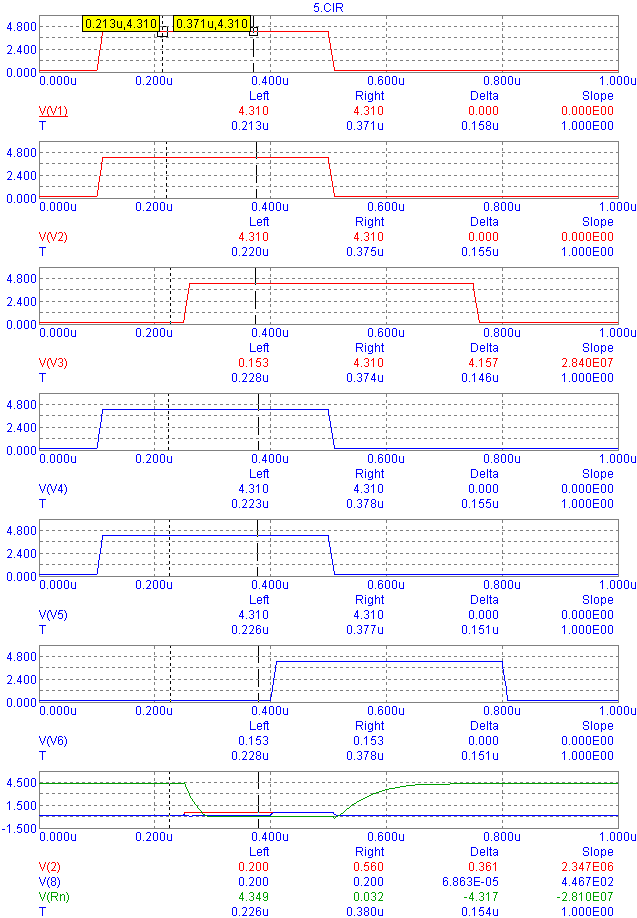
* 1. **Висновки:**

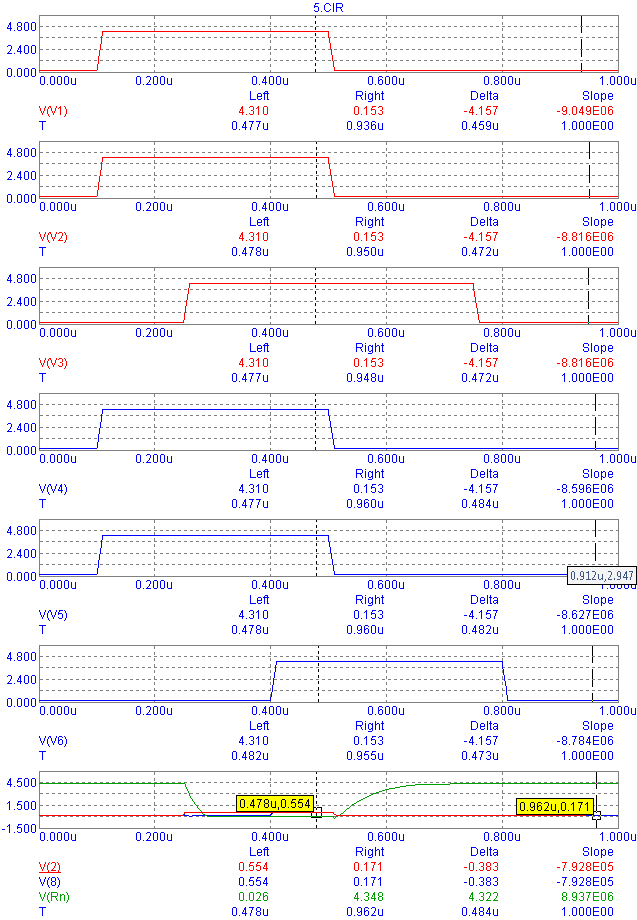
Коли на всі входи вхідного каскаду 3І одного блоку подається високий рівень, транзистори на входах працюють в інверсному режимі, транзистор вихідного каскаду для інвертування сигналу відкривається. При цьому напруга переходу БЕ транзистора вихідного каскаду в режимі насичення виявилася дещо меншою, ніж очікувана за умовою.

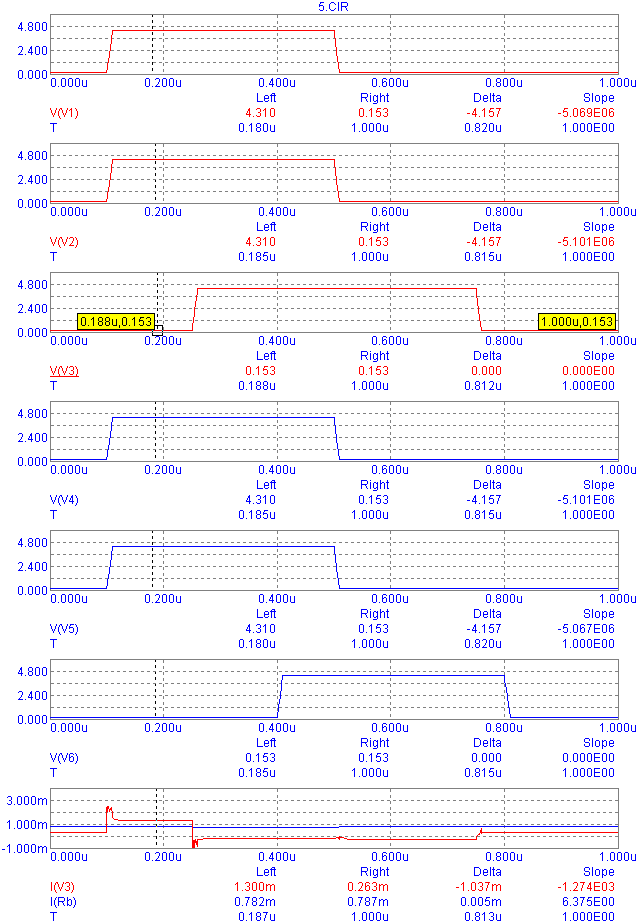
Рівень вихідного нуля на виході всієї схеми є меншим у випадку, коли відкрито обидва транзистора вихідного каскаду, ніж у тому випадку, коли відкрито лише один транзистор. У такому випадку через колектор відкритого транзистора вихідного каскаду протікає не лише струм, що тече терез резистор Rc1 даного транзистора, а й струм, що протікає через резистор Rc2 другого закритого транзистора. Хоча транзистор – елемент не лінійний, та зрозуміло, що зі збільшенням колекторного струму буде частково збільшуватись напруга переходу КЕ транзистора в режимі насичення, яка визначає рівень вихідного нуля.

Напруга Y1,Y2 є найменшою у тому випадку, коли працюють в прямому режимі всі транзистори на вході одного блоку; є більшою, коли працює в інверсному режимі один транзистор, і найбільшою, коли в інверсному режимі працюють два транзистори. У всіх цих випадках транзистор вихідного каскаду закритий. Така незначна розбіжність напруг у вузлах Y1,Y2 у даних трьох випадках пояснюється тим, що чим більше транзисторів працює в інверсному режимі одного вхідного каскаду 3І, тим більший струм протікає через колектори транзисторів, що працюють в прямому режимі. Хоча транзистори – елементи не лінійні, та збільшення зазначеного струму частково призводить до незначного збільшення напруги переходу БЕ транзистора, а відповідно і збільшення напруги у вузлах Y1,Y2.

**2.5 Часові діаграми:**

****

****

****